

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-26151

(P2002-26151A)

(43)公開日 平成14年1月25日(2002.1.25)

(51)IntCl. ⁷	識別記号	F I	テーマコード(参考)	
H 0 1 L	21/8247	H 0 1 L 29/78	3 7 1	5 F 0 0 1
	29/788	27/10	4 3 4	5 F 0 8 3
	29/792			5 F 1 0 1
	27/115			

審査請求 未請求 請求項の数 2 O L (全 9 頁)

(21)出願番号 特願2000-203897(P2000-203897)

(22)出願日 平成12年7月5日(2000.7.5)

(71)出願人 00006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 小林 清輝

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74)代理人 100062144

弁理士 青山 稔 (外1名)

Fターム(参考) 5F001 AA25 AA30 AB08 AB09 AD51

AD52 AE02 AF10

5F083 EP05 EP23 EP27 ER03 ER04

ER05 ER09 GA01 GA22

5F101 BA07 BA12 BB05 BB17 BD32

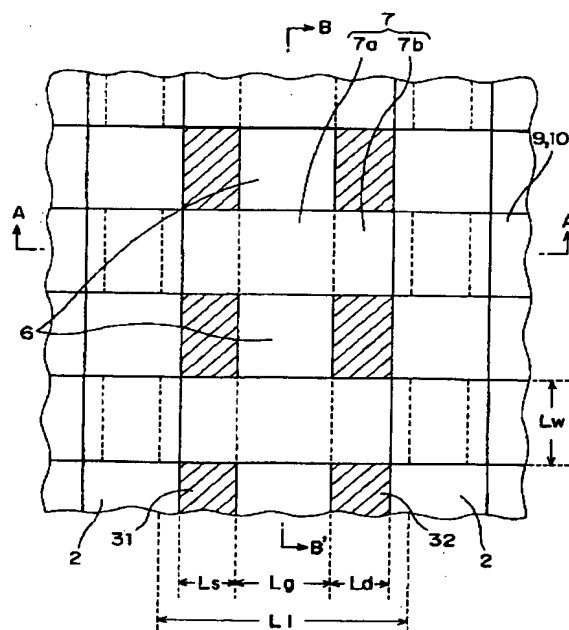
BD33 BE05 BF10

(54)【発明の名称】 半導体メモリ装置

(57)【要約】

【課題】 フラッシュメモリセルを備えたより書き込み速度の速い半導体メモリ装置を提供する。

【解決手段】 p型Si基板の上に、チャンネル領域とチャンネル領域の両側に形成されたドレイン領域及びソース領域と、チャンネル領域上に第1の酸化膜を介して形成されたフローティングゲートと、フローティングゲート上に第2の酸化膜を介して形成されたコントロールゲートとを有してなるメモリセルを備えた半導体メモリ装置において、フローティングゲートは、チャンネル領域上の第1領域と第1領域より幅の広い第2領域とからなり、縦断面形状がT字型になるように形成され、コントロールゲートにコントロール電圧を印加した時に、フローティングゲートの電位が最大になるように第1領域の高さを設定した。



6: p型拡散層

1

【特許請求の範囲】

【請求項1】 p型Si基板の上に、チャンネル領域と、そのチャンネル領域の両側に形成されたn型のドレイン領域及びn型のソース領域と、上記チャンネル領域の上に第1の酸化膜を介して形成されたフローティングゲートと、該フローティングゲートの上に第2の酸化膜を介して形成されたコントロールゲートとを有してなるメモリセルを備えた半導体メモリ装置において、上記フローティングゲートは、上記チャンネル領域上に上記第1の酸化膜を介して位置する第1領域と上記第1領域より広い幅に形成されかつ上記第2の酸化膜を介して制御ゲートと容量結合する第2領域とからなり、縦断面形状がT字型になるように形成され、上記コントロールゲートにコントロール電圧を印加した時に、上記フローティングゲートの電位が最大になるように上記第1領域の高さが設定されたことを特徴とする半導体メモリ装置。

【請求項2】 p型Si基板の上に、チャンネル領域と、そのチャンネル領域の両側に形成されたn型のドレイン領域及びn型のソース領域と、上記チャンネル領域の上に第1の酸化膜を介して形成されたフローティングゲートと、該フローティングゲートの上に第2の酸化膜を介して形成されたコントロールゲートとを有してなるメモリセルを備えた半導体メモリ装置において、上記フローティングゲートは、上記チャンネル領域上に上記第1の酸化膜を介して位置する第1領域と上記第1領域より広い幅に形成されかつ上記第2の酸化膜を介して制御ゲートと容量結合する第2領域とからなり、縦断面形状がT字型になるように形成されかつ、各メモリセルにおける、上記コントロールゲートと上記Si基板との間に構成されるメモリセル全体の静電容量に対する上記コントロールゲートとフローティングゲートの間の静電容量の比であるカップリング比が最大になるように上記第1領域の高さが設定されたことを特徴とする半導体メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体メモリ装置に関する。

【0002】

【従来の技術】フラッシュメモリは、フラッシュメモリセルの構成が簡単で高集積化に適しており、ビットあたりのコストを安くでき、かつ電氣的に読み書き及び消去が可能であることから、その需要が拡大されつつある。今後その需要はさらに拡大されるものと思われる。

【0003】

【発明が解決しようとする課題】しかしながら、フラッシュメモリセルを備えた半導体メモリ装置は、その需要の拡大に伴い、書き込み速度の向上が求められているが、現状はその要求に十分応えているとはいえない。

2

【0004】そこで、本発明は、フラッシュメモリセルを備えたより書き込み速度の速い半導体メモリ装置を提供することを目的とする。

【0005】

【課題を解決するための手段】以上の目的を達成するために、本発明に係る第1の半導体メモリ装置は、p型Si基板の上に、チャンネル領域と、そのチャンネル領域の両側に形成されたn型のドレイン領域及びn型のソース領域と、上記チャンネル領域の上に第1の酸化膜を介して形成されたフローティングゲートと、該フローティングゲートの上に第2の酸化膜を介して形成されたコントロールゲートとを有してなるメモリセルを備えた半導体メモリ装置において、上記フローティングゲートは、上記チャンネル領域上に上記第1の酸化膜を介して位置する第1領域と上記第1領域より広い幅に形成されかつ上記第2の酸化膜を介して制御ゲートと容量結合する第2領域とからなり、縦断面形状がT字型になるように形成され、上記コントロールゲートにコントロール電圧を印加した時に、上記フローティングゲートの電位が最大になるように上記第1領域の高さが設定されたことを特徴とする。

【0006】また、本発明に係る第2の半導体メモリ装置は、p型Si基板の上に、チャンネル領域と、そのチャンネル領域の両側に形成されたn型のドレイン領域及びn型のソース領域と、上記チャンネル領域の上に第1の酸化膜を介して形成されたフローティングゲートと、該フローティングゲートの上に第2の酸化膜を介して形成されたコントロールゲートとを有してなるメモリセルを備えた半導体メモリ装置において、上記フローティングゲートは、上記チャンネル領域上に上記第1の酸化膜を介して位置する第1領域と上記第1領域より広い幅に形成されかつ上記第2の酸化膜を介して制御ゲートと容量結合する第2領域とからなり、縦断面形状がT字型になるように形成されかつ、各メモリセルにおける、上記コントロールゲートと上記Si基板との間に構成されるメモリセル全体の静電容量に対する上記コントロールゲートとフローティングゲートの間の静電容量の比であるカップリング比が最大になるように上記第1領域の高さが設定されたことを特徴とする。このようにしても、上記フローティングゲートの電位が最大になるようにできる。ここで、上記コントロールゲートと上記p型Si基板との間に構成されるメモリセル全体の静電容量とは、1つのメモリセルにおいて、上記コントロールゲートと上記Si基板との間に構成される静電容量であって、上記コントロールゲートとフローティングゲートの間の静電容量、上記第1領域とチャンネル領域間の静電容量、上記第2領域とソース領域の間の静電容量、上記第1領域の側面とソース領域の間の静電容量及び上記第1領域の側面とドレイン領域の間の静電容量を含むものである。

【0007】

【発明の実施の形態】以下、図面を参照して本発明に係る実施の形態について説明する。本発明に係る実施の形態の半導体メモリ装置は、p型基板1の各メモリセルにそれぞれ電氣的に書き込み消去が可能な記憶素子を備えたフラッシュメモリであって以下のように構成される。すなわち、実施の形態の半導体メモリ装置において、p型基板1の各メモリセルにチャンネル領域13を挟んでn型のソース領域31とn型のドレイン領域32とが形成され、そのチャンネル領域13の上に第1の酸化膜（トンネル酸化膜）4を介してフローティングゲート7が形成されて各メモリセルに記憶部であるメモリセルトランジスタが形成される。そして、各メモリセルのメモリセルトランジスタのフローティングゲート7に第2の絶縁膜（インターポリ絶縁膜）8を介してメモリセルトランジスタの読み書きを制御するコントロールゲート19が形成される。尚、コントロールゲート19はリンドープポリシリコン層9とタングステンシリサイド層10とからなり、コントロールゲート19上には、層間絶縁膜11を介してAl-Cu合金からなる配線12が形成される。また、図1中において、5の符号を付して示すものは、シリコン酸化膜である。以上のようにして各メモリセルは構成される。

【0008】また、本実施の形態の複数のメモリセルのうちの、一方向（行方向）に配列されたメモリセルのコントロールゲート19は、図1、図2に示すように連続的に一体で形成される。また、その行方向に配列された複数のメモリセルにおいて隣接するメモリセルの間は、図1及び図2に示すように、例えば、シリコン酸化膜からなる素子分離領域2によって分離される。そして、その行方向に直交する列方向に配列された複数のメモリセルにおいて隣接するメモリセルのチャンネル領域13間は、図1及び図3に示すように、p型拡散領域6によって互いに分離される。

【0009】ここで、特に本実施の形態では、各メモリセルトランジスタのフローティングゲート7は、（1）チャンネル領域13上にトンネル酸化膜（第1の酸化膜）を介して位置する第1領域7aと、（2）コントロールゲート19との間の静電容量を大きくすることを目的として、コントロールゲート19との対向面積が大きくなるように、第1領域7aより広い幅に形成された第2領域7bとからなる。そして、本実施の形態の半導体メモリ装置において、第1領域7aと第2領域7bとからなる縦断面形状がT字型のフローティングゲート7

Q

$$= C1 (V_{FG} - V_{CG}) + (C2 + C3 + C4 + C5) V_{FG} \\ = C_T V_{FG} - C1 V_{CG} \cdots (3)$$

ここで、 $C_T = C1 + C2 + C3 + C4 + C5$ であって、各メモリセルにおいて、コントロールゲートとSi基板との間に形成される総計の静電容量である。

*は、詳細後述するようにその形状を設定することによりメモリセルトランジスタへの書き込み速度を向上させたことを特徴としている。

【0010】＜本発明におけるT字型のフローティングゲート7の形状の設定の詳細＞まず、実施の形態のメモリセルにおいて、コントロールゲート19に印加される電圧を V_{CG} 、メモリセルトランジスタの閾値電圧を V_{th} としたとき、次の（1）式の関係式を満足したときに、チャンネル領域13は反転状態となる。

$$V_{CG} > V_{th} \cdots (1)$$

【0011】また、本実施の形態の半導体メモリ装置のメモリセルトランジスタ近傍における静電容量は、図4、図5に示すように表すことができる。従って、この時のメモリセルトランジスタは、図6に示す等価回路で表すことができる。図6の等価回路において、 V_{CG} は、コントロールゲート19の電位、 V_{FG} は、フローティングゲート7の電位、 $V_{channel}$ は、チャンネル領域13の電位、 $V_{S/D}$ は、ソース領域31とドレイン領域32間の電位、 V_{side} は、p型拡散層6の電位を表す。

【0012】また、図4、図5に示すように、C1は、コントロールゲート19とフローティングゲート7の第2領域7bとの間の静電容量、C2は、フローティングゲート7の第1領域7aとチャンネル領域13間の静電容量、C3は、フローティングゲート7の第2領域7bとソース領域31との間、フローティングゲートの第2領域とドレイン領域32との間の静電容量、C4は、フローティングゲート7の第1領域7aの側面とソース領域31との間の静電容量、フローティングゲート7の第1領域7aの側面とドレイン領域32との間の静電容量、C5は、フローティングゲート7の第1領域7aとp型拡散層6の間の静電容量である。

【0013】従って、図1、図2に示す構造の半導体メモリ装置において、メモリセルトランジスタのフローティングゲート7中に蓄積される電荷Qは、次の（2）式で表すことができる。

$$Q = C1 (V_{FG} - V_{CG}) + C2 (V_{FG} - V_{channel}) \\ + C3 (V_{FG} - V_{S/D}) + C4 (V_{FG} - V_{side}) \\ + C5 (V_{FG} - V_{S/D}) \cdots (2)$$

【0014】ここで、式（2）において、 $V_{S/D} = 0$ 、 $V_{channel} = 0$ 、 $V_{side} = 0$ とすることができるので、式（2）は次の式（3）に示すように簡略化して表すことができる。

【0015】（3）式を変形すると、フローティングゲート電位 V_{FG} は次の（4）式で表される。

$$V_{FG} = (Q + C1 V_{CG}) / C_T \cdots (4)$$

5

ここで、 $C1/C1$ は、カップリング比と呼ばれる。

【0016】図1等に示す本実施の形態の半導体メモリ装置において、メモリセルトランジスタへの書き込み動作は、所定のコントロール電位 V_{CG} を与え、 $V_{S/D}=V_{side}=V_{channel}=0$ の状態を実施する。すなわち、 $V_{S/D}=V_{side}=V_{channel}=0$ の状態にコントロール電位 V_{CG} を与えると、チャンネル領域からフローティングゲート7に電子が輸送され、その輸送された電子がフローティングゲート7に蓄積されることにより書き込みが実施される。

【0017】この書き込み時のフローティングゲート7への電子の輸送は、ファウラー・ノルドハイム電流(Fowler-Nordheim current)の式である次の(5)式に従う。

$$j = A \cdot V_{FG}^2 \cdot \exp(-B/V_{FG}) \cdots (5)$$

(5)式から明らかなように、フローティングゲート電位 V_{FG} が大きくなるほど、電流 j は大きくなり、書き込み速度は向上する。従って、コントロール電位 V_{CG} が与えられたとき、フローティングゲート電位 V_{FG} が最大となるような構成、より具体的には、カップリング比 $C1/C1$ が最大になるようにフローティングゲート7の形状を設定することが好ましく、これにより、書き込み速度を大きくすることができる。

【0018】次に、フローティングゲート電位 V_{FG} を大きくする具体的な構成について詳細に説明する。フローティングゲート7の第2領域7bの形状を一定として第1領域7aの高さ t のみを変化させると、 $C1$ は高さ t の値に関わらず一定値となるが、高さ t が変化すると、フローティングゲート7の第2領域7bとソース領域31との間の間隔及びフローティングゲートの第2領域とドレイン領域32との間の間隔は変化するので、静電容量 $C3$ は、高さ t の関数となる。また、フローティングゲート7の第1領域7aの側面とソース領域31との間の静電容量 $C4$ 、フローティングゲート7の第1領域7aの側面とドレイン領域32との間の静電容量 $C4$ は、高さ t の関数となる。また、フローティングゲート7の第1領域7aとp型拡散層6の間の静電容量 $C5$ も、 $C4$ と同様に第1領域7aの高さ t によって変化するもので、第1領域7aの高さ t の関数となる。より具体的には、第1領域7aの高さ t が大きくなると、静電容量 $C3$ は小さくなるが、静電容量 $C4$ 、 $C5$ は大きくなる。このように、全静電容量 $C1$ は、第1領域7aの高さ t の関数となるので、フローティングゲート電位 V_{FG} も第1領域7aの高さ t の関数となる。

【0019】そこで、静電容量 $C1 \sim C5$ を、フローティングゲート7の形状及びメモリセルの構成とに基づいて、第1領域7aの高さ t と $(L_s + L_d)$ とを用いて表して、(4)式に代入することにより、 t と $(L_s + L_d)$ の関数としてのフローティングゲート電位 V_{FG} を得、 $(L_s + L_d)$ を $0.30 \mu m$ 、 $0.35 \mu m$ 、

6

$0.40 \mu m$ にそれぞれ固定した状態(一定値)で、 t を変化させると、図7に示すように、特定の長さ t に対してフローティングゲート電位 V_{FG} は最大値を取る。

尚、静電容量 $C1 \sim C5$ は、平行平板における静電容量の評価方法を用いて比較的容易に、第1領域7aの高さを t と $(L_s + L_d)$ とによって表すことができるが、静電容量 $C4$ 、 $C5$ は、後藤憲一、山崎修一郎共編「電磁気学演習」(共立出版、初版p52)に記載された方法を用いて計算した。

【0020】このように、フローティングゲート電位 V_{FG} は $(L_s + L_d)$ にも依存するが、特定の $(L_s + L_d)$ に対して1つの極大値を有し、その極大値に対応して1つの第1領域7bの高さ t が一意的に決まる。また、書き込み速度は、フローティングゲート電位 V_{FG} が大きいほど大きくなるので、当然、極大値であるフローティングゲート電位 V_{FG} を取る第1領域7bの高さ t に対応する書き込み速度が最大になる。また、図8は $(L_s + L_d)$ に対して、フローティングゲート電位 V_{FG} (又は書き込み速度)が極大値を取る第1領域7bの高さ t をグラフに示したものである。図8から明らかなように、図8は $(L_s + L_d)$ が大きくなるにつれて、フローティングゲート電位 V_{FG} (又は書き込み速度)が極大値を取る第1領域7bの高さ t は大きくなる。

【0021】尚、図7、図8に示した結果は、図1のメモリセル構造において、以下の物理量を基にして計算した結果である。

真空の誘電率 ϵ_0 : $8.85 \times 10^{-14} F/cm$ 、

SiO_2 の比誘電率 ϵ_{ox} : 3.85、

フローティングゲート7の第2領域7aの厚さ: $0.07 \mu m$ 、

フローティングゲート長 L_g : $0.25 \mu m$ 、

トンネル絶縁膜の厚さ: $8.5 nm$ 、

インターポリ絶縁膜の厚さ: $15 nm$ 、

フローティングゲート幅 L_w : $0.20 \mu m$ 、

$L_g + L_d$: $0.40 \mu m$ 、 $0.35 \mu m$ 、 $0.30 \mu m$ 、

第2領域7aの長辺の長さ: $0.81 \mu m$ ($L_g + L_d$ が $0.40 \mu m$ の時)、 $0.76 \mu m$ ($L_g + L_d$ が $0.35 \mu m$ の時)、 $0.71 \mu m$ ($L_g + L_d$ が $0.30 \mu m$ の時)、

【0022】すなわち、本実施の形態の半導体メモリ装置は、縦断面形状がT字型になるように、チャンネル領域上に位置する第1領域7aとその第1領域7aより広い幅に形成された第2領域とからなるフローティングゲートを備えたフラッシュメモリであって、フローティングゲート7の第1領域7aの高さ t を以下のように設定したものである。

(1) 所定のコントロールゲート電圧が印加されたときに、フローティングゲート電位 V_{FG} が最大になるように、第1領域7aの高さを t と $(L_s + L_d)$ とを設定

7

したものである。

(2) 言いかえると、カップリング比 $C1/Ct$ が最大になるように、第1領域7aの高さを t と($Ls+Ld$)とを設定したものである。

(3) さらに別の言葉で言うと、静電容量 $C1$ を特定の値に設定したとき(フローティングゲートの第2領域7bの形状を特定したとき)に、静電容量($C2+C3+C4+C5$)が最小になるように、第1領域7aの高さ t を設定したものである。以上のように構成された実施の形態の半導体メモリ装置は、フローティングゲート電位 V_{FG} を大きくでき、書き込み速度を速くできる。

【0023】以上の実施の形態では、所定のコントロールゲート電圧が印加されたときに、フローティングゲート電位 V_{FG} が最大になるように又はカップリング比 $C1/Ct$ が最大になるように、第1領域7aの高さ t と

($Ls+Ld$)とを設定した。しかしながら、本発明はこれに限られず、例えば、($Ls+Ld$)が予め決定される場合には、その決められた($Ls+Ld$)の値に基いて、フローティングゲート電位 V_{FG} が最大になるように又はカップリング比 $C1/Ct$ が最大になるように、第1領域7aの高さ t を設定するようにしてもよい。すなわち、メモリセルの大きさ及びメモリセルトランジスタに対する要求特性などにより、($Ls+Ld$)が取り得る範囲が制限される場合があるが、その場合は、予め決定される($Ls+Ld$)の値に基いて、フローティングゲート電位 V_{FG} が最大になるように又はカップリング比 $C1/Ct$ が最大になるように、第1領域7aの高さ t を設定するようにすればよい。

【0024】変形例1。図9は、本発明に係る変形例1の半導体メモリ装置の構成を示す断面図である。本変形例1の半導体メモリ装置は、実施の形態の半導体メモリ装置において、フローティングゲート7の第2領域7bとソース領域31との間と、フローティングゲート7の第2領域7bがドレイン領域32との間に、シリコン窒化膜14を形成した以外は実施の形態の半導体メモリ装置と同様に構成される。以上のように構成された変形例1の半導体メモリ装置では、シリコン窒化膜14の比誘電率はシリコン酸化膜の比誘電率の約2倍であることから、フローティングゲートの第2領域とソース領域31との間、フローティングゲートの第2領域とドレイン領域32との間の静電容量 $C3$ 、フローティングゲートの第1領域7aの側面とソース領域31との間の静電容量 $C4$ 及びフローティングゲートの第1領域7aの側面とドレイン領域32との間の静電容量 $C4$ は実施の形態に比較して大きな値となるが、実施の形態と同様にしてフローティングゲート電位 V_{FG} が最小となるように第1領域7aの高さ t を設定することができる。

【0025】変形例2。図10は、本発明に係る変形例2の半導体メモリ装置の構成を示す断面図である。本変形例2の半導体メモリ装置は、実施の形態の半導体メモ

8

リ装置において、列方向に配列された隣接するメモリセルトランジスタ間にシリコン窒化膜15を形成した以外は、実施の形態と同様に構成される。以上のように構成された変形例2の半導体メモリ装置では、シリコン窒化膜15の比誘電率はシリコン酸化膜の比誘電率の約2倍であることから、フローティングゲートの第1領域7aとp型拡散層6の間の静電容量である $C5$ が実施の形態に比較して多くなるが、実施の形態と同様にしてフローティングゲート電位 V_{FG} が最小となるように第1領域7aの高さ t を設定することができる。

【0026】

【発明の効果】以上詳細に説明したように、フローティングゲートを有してなるメモリセルを備えた半導体メモリ装置において、上記フローティングゲートは、上記第1領域と上記第1領域より広い幅に形成された上記第2領域とからなり、縦断面形状がT字型になるように形成され、かつ上記コントロールゲートにコントロール電圧を印加した時に、上記フローティングゲートの電位が最大になるように上記第1領域の高さが設定されているので、上記フローティングゲートへの電子の輸送量を大きくすることができ、各メモリセルにおける書き込み速度を速くできる。従って、本発明の第1の半導体メモリ装置によれば、フラッシュメモリセルを備えたより書き込み速度の速い半導体メモリ装置を提供することができる。

【0027】また、本発明に係る第2の半導体メモリ装置は、上記フローティングゲートを有してなるメモリセルを備えた半導体メモリ装置において、上記フローティングゲートは、上記第1領域と上記第1領域より広い幅の第2領域とからなり、縦断面形状がT字型になるように形成されかつ、各メモリセルにおける上記カップリング比が最大になるように上記第1領域の高さが設定されているので、上記フローティングゲートの電位を大きくでき、上記フローティングゲートへの電子の輸送量を大きくすることができる。従って、本発明の第2の半導体メモリ装置によれば、各メモリセルにおける書き込み速度を速くできるので、フラッシュメモリセルを備えたより書き込み速度の速い半導体メモリ装置を提供することができる。

【図面の簡単な説明】

【図1】 本発明に係る実施の形態の半導体メモリ装置の平面図である。

【図2】 図1のA-A'線についての断面図である。

【図3】 図1のB-B'線についての断面図である。

【図4】 本実施の形態の半導体メモリ装置におけるフローティングゲートの周りに形成される静電容量を示す断面図(図2に対応)である。

【図5】 本実施の形態の半導体メモリ装置におけるフローティングゲートの周りに形成される静電容量を示す断面図(図3に対応)である。

9

【図6】 本実施の形態の半導体メモリ装置におけるメモリセルトランジスタの等価回路である。

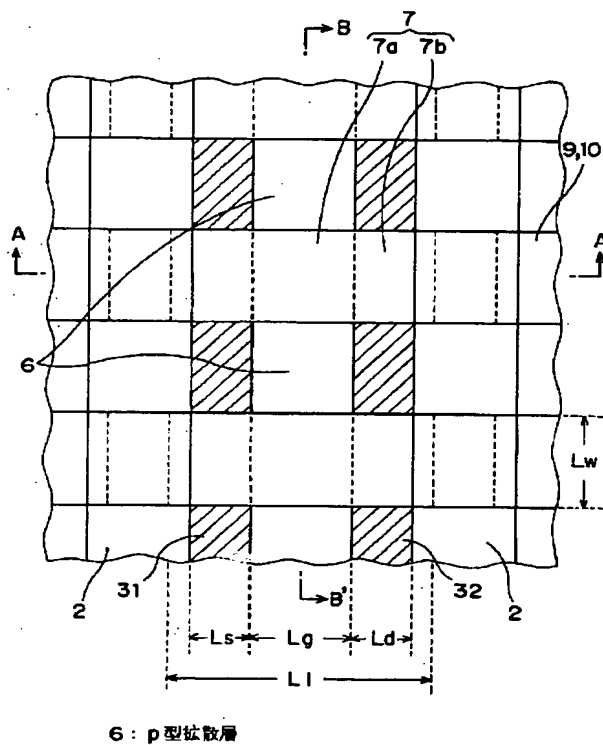
【図7】 $(L_s + L_d)$ を一定とした時の、第1領域7aの高さtに対するフローティングゲート電位 V_{FG} を示すグラフである。

【図8】 フローティングゲート電位 V_{FG} が最大になる、 $(L_s + L_d)$ に対する第1領域7aの高さtを示すグラフである。

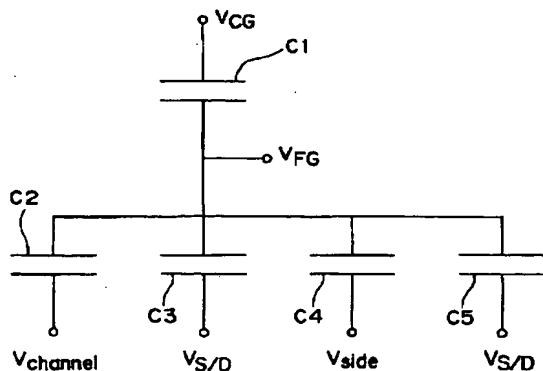
【図9】 本発明に係る変形例1の半導体メモリ装置の断面図である。

【図10】 本発明に係る変形例2の半導体メモリ装置*

【図1】



【図6】



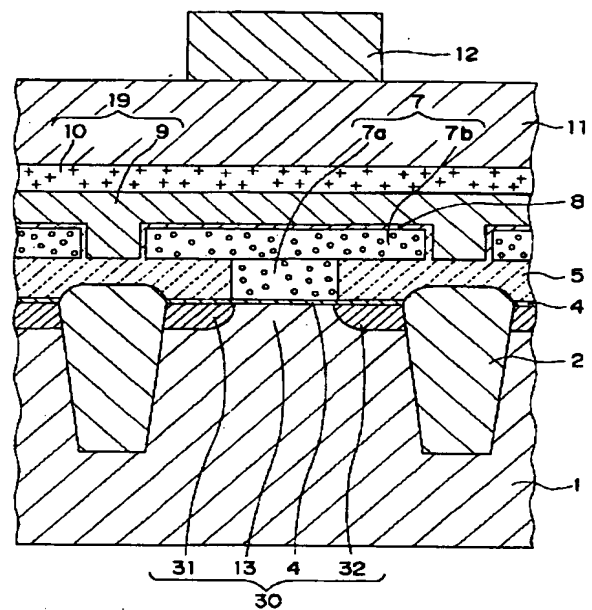
10

*の断面図である。

【符号の説明】

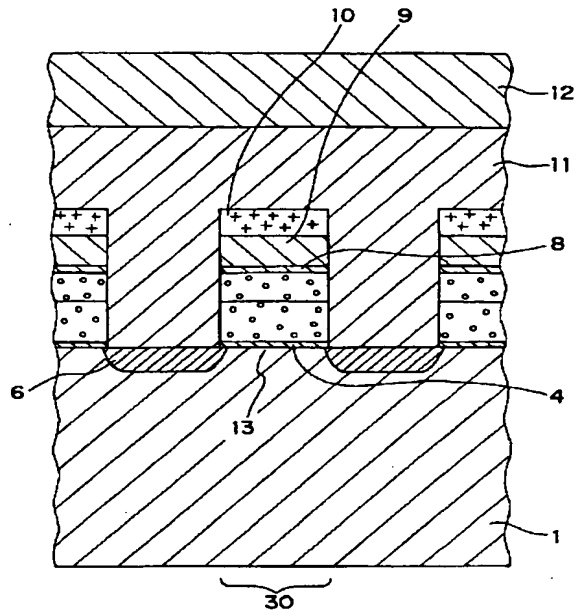
- 1 p型基板、2 素子分離領域、4 第1の酸化膜
(トンネル酸化膜)、6 p型拡散領域、7 フローティングゲート、7a 第1領域、7b 第2領域、8 第2の絶縁膜 (インターポリ絶縁膜)、9 リンドープポリシリコン層、10 タングステンシリサイド層、11 層間絶縁膜、12 配線、13 チャンネル領域、14, 15 シリコン窒化膜、19 コントロールゲート、31 ソース領域、32 ドレイン領域。

【図2】

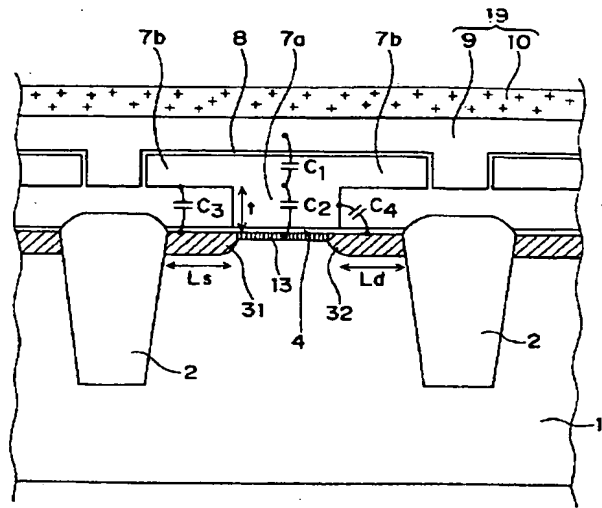


- 1: p型シリコン基板
2: 素子分離領域
4: 第1の酸化膜
7: フローティングゲート
7a: 第1領域
7b: 第2領域
8: 第2の絶縁膜
19: コントロールゲート

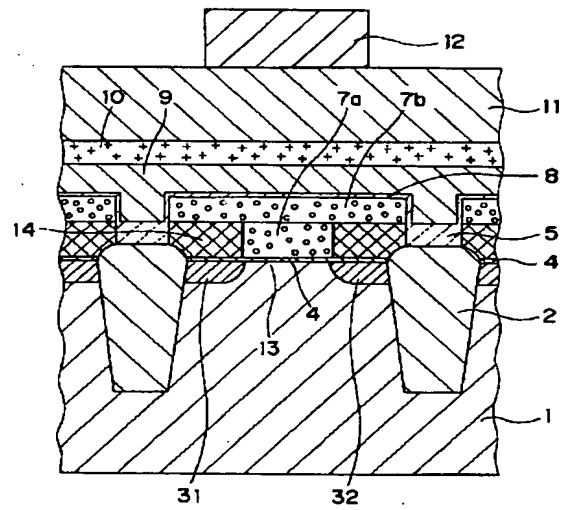
【図3】



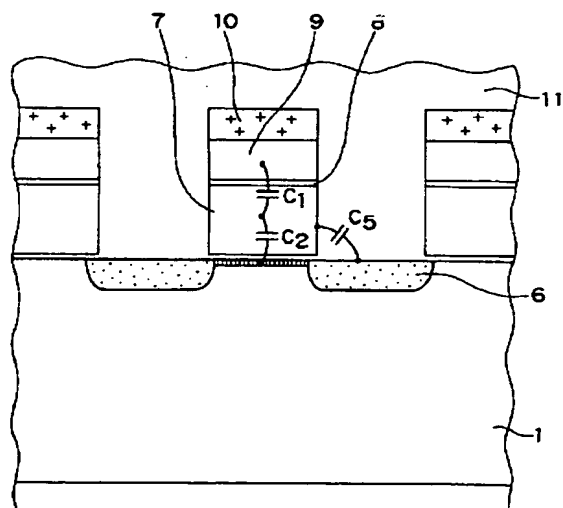
【図4】



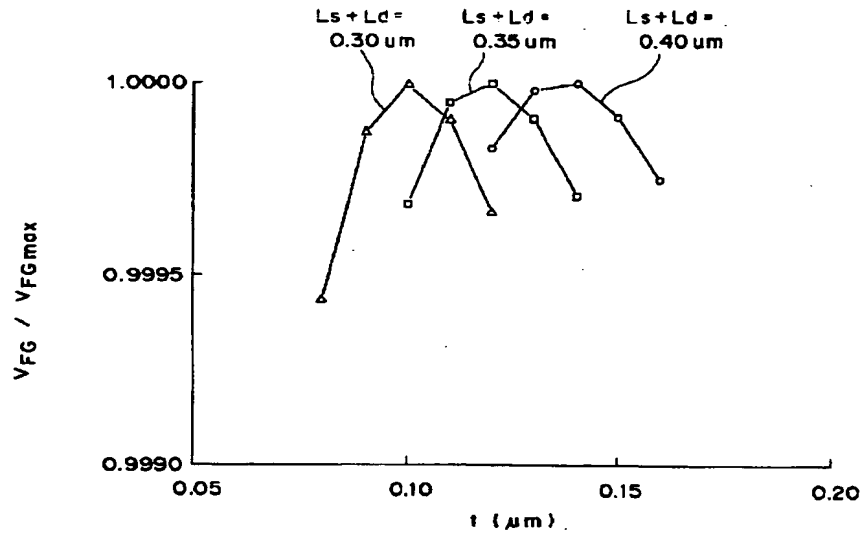
【図9】



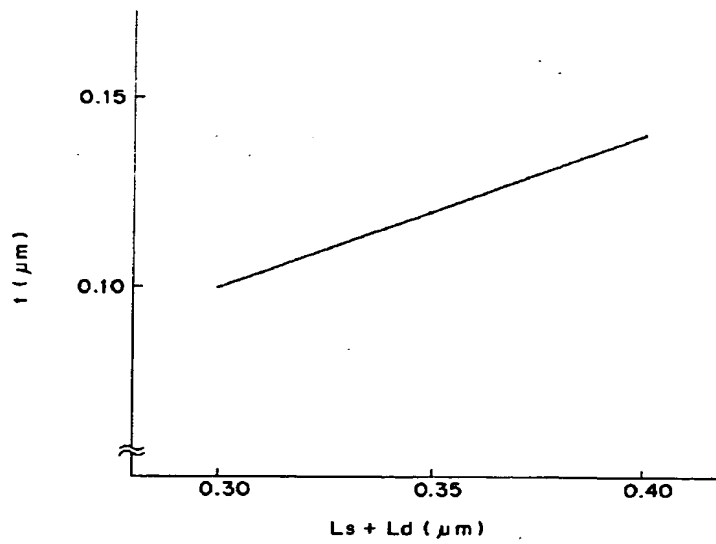
【図5】



【図7】



【図8】



This diagram shows a cross-sectional view of a semiconductor device. A central active region (10) is defined by a cross-hatched pattern. This region is surrounded by a layer (9) and a layer (11). The entire structure is embedded in a substrate (1). The central region is flanked by isolation regions (7a and 7b) which contain small circles. The top surface is covered by a layer (12). The bottom surface is labeled 13. The central region is also labeled 6. The isolation regions are labeled 8. The top surface is labeled 4. The bottom surface is labeled 1.